

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-251705

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
27/12	Z			
27/146				
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		7210-4M	27/ 14	E
審査請求 未請求 請求項の数 2 (全 5 頁)				

(21)出願番号 特願平4-81483

(22)出願日 平成4年(1992)3月4日

(71)出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72)発明者 浜田 勉

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(72)発明者 伊藤 久夫

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

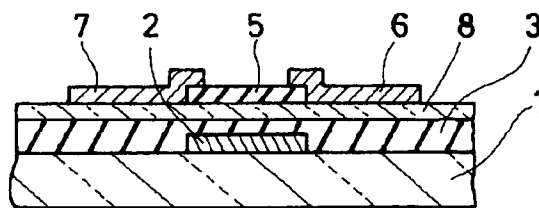
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 半導体活性層としてアモルファスシリコンよりもバンドギャップの大きい透明材質からなる半導体を使用することで、入射光に影響されず、また開口率を増大させることができ、微細化が可能である薄膜トランジスタを提供する。

【構成】 ガラス基板1上に形成された逆スタガ型薄膜トランジスタであり、半導体活性層3に導電性の低いITO膜を使用することで、入射光による光電流が発生せず、電荷の読み出しを正確に行うことができる薄膜トランジスタである。



【特許請求の範囲】

【請求項1】 ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、前記半導体層を透光性膜としたことを特徴とする薄膜トランジスタ。

【請求項2】 ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層のキャリア濃度が 10^{18} 個・ cm^{-3} 以下で、かつ前記半導体層を透光性膜としたことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光電変換素子及び発光素子を駆動する薄膜トランジスタに係り、特に光に影響されず、素子特性を向上できる薄膜トランジスタに関する。

【0002】

【従来の技術】従来の薄膜トランジスタ(TFT)は、ガラス等の基板上にゲート電極、ゲート絶縁層、水素化アモルファスシリコン(a-Si:H)等の半導体層、ソース及びドレイン電極を積層した逆スタガ構造のものが、イメージセンサを始め、大面積デバイスの分野においてアクティブマトリクス型の液晶ディスプレイに代表されるフラットパネルディスプレイ等の駆動素子として用いられている。

【0003】次に、従来の逆スタガ型の薄膜トランジスタの構成について図5を使って説明する。図5は、従来の薄膜トランジスタの断面説明図である。図5に示すように、逆スタガ型の薄膜トランジスタ(TFT)は、ガラス等の基板20上にゲート電極21としてのクロム(Cr1)層、ゲート絶縁層22としてのシリコン窒化膜(SiN_x)、半導体活性層23としての水素化アモルファスシリコン(a-Si:H)層、ゲート電極21に対向するよう設けられたチャンネル保護層24としてのシリコン窒化膜(SiN_x)、オーミックコンタクト層25としてのn+型水素化アモルファスシリコン(n+a-Si:H)層、ソース電極26及びドレイン電極27としてのクロム(Cr2)層、その上に層間絶縁層29としてのポリイミド層、更に、その上に配線層30又はチャンネル保護層24の上部においてはa-Si:H層の遮光用としてのアルミニウム(Al)の遮光層28とを順次積層した構造となっている(特開昭63-9358号公報参照)。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の薄膜トランジスタにおいては、半導体活性層にアモルファスシリコンを用いていることから、半導体活性層に光が当たると導電性を持ってスイッチング素子の特性が劣化するという問題点があった。

【0005】そのために、半導体活性層に光が当たらないように遮光層を設ける方法があり、例えば、遮光層としては金属薄膜が用いられていた。しかしながら、遮光層を設けると工程が増えるだけでなく浮遊電位を持つこととなるので、遮光層をグラウンドレベルにする必要があり、その場合にも、寄生容量が発生するという問題点があった。

【0006】また、薄膜トランジスタを光電変換素子又は発光素子との積層構造にする場合には、図6の光電変換素子の上に薄膜トランジスタを積層した積層型光電変換装置の平面説明図に示すように、従来の積層型のものであれば、ソース電極26及びドレイン電極27が金属電極であり、単位画素内でTFTが占める割合が増大し、当然ながら開口率(単位画素内における光電変換素子の受光エリアが占める割合)の低下を招き、感度が低下するという問題点もあった。

【0007】本発明は上記実情に鑑みて為されたもので、半導体層としてアモルファスシリコンよりバンドギャップの大きい透明材質の半導体を使うことで光に影響されず、更に開口率を増大させることができる薄膜トランジスタを提供することを目的とする。

【0008】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、前記半導体層を透光性膜としたことを特徴としている。

【0009】上記従来例の問題点を解決するための請求項2記載の発明は、ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層のキャリア濃度が 10^{18} 個・ cm^{-3} 以下で、かつ前記半導体層を透光性膜としたことを特徴としている。

【0010】

【作用】請求項1記載の発明によれば、半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、半導体層を透光性膜とした薄膜トランジスタとして、光が透過した場合でも導電性が変化しにくくなる。

【0011】請求項2記載の発明によれば、半導体層のキャリア濃度が 10^{18} 個・ cm^{-3} 以下で、かつ半導体層を透光性膜としているので、抵抗率が高くなり、光が透過した場合でも導電性が変化しにくい薄膜トランジスタとすることができる。

【0012】

【実施例】本発明の一実施例について図面を参照しながら説明する。図1は、本発明の一実施例に係る薄膜トランジスタの断面説明図である。尚、本実施例(実施例

1)では、例として逆スタガ型の薄膜トランジスタについて説明する。

【0013】図1に示すように、実施例1の薄膜トランジスタは、ガラス等の透明絶縁性の基板1と、基板1上に形成されたCr等のゲート電極2と、ゲート電極2を覆うように形成された窒化シリコン(SiNx)等のゲート絶縁層3と、ゲート絶縁層3上に酸素濃度を調整して形成された酸化インジウム・スズ(ITO)等の半導体活性層8とが積層され、更に半導体活性層8上には窒化シリコン等のチャネル保護層5が形成され、Cr等のソース電極7及びドレイン電極6とがチャネル保護層5の一部を覆うよう形成される構成となっている。

【0014】次に、実施例1の薄膜トランジスタの製造方法について図1を使って説明する。まず、基板1上にゲート電極2となるCrを500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いて所定の形状にパターニングする。

【0015】次に、ゲート絶縁層3として窒化シリコンをプラズマCVD法で2500オングストローム程度着膜する。そして、膜中の酸素濃度を調整し、半導体活性層8となるITO膜をスパッタリングにより500オングストローム程度着膜する。

【0016】具体的には、着膜時の酸素ガス濃度を1%以上にしてスパッタリングを行うことで実現することができる。このとき、ITO膜のキャリア濃度が 10^{18} 個・ cm^{-3} 以下となれば、縮退が解け半導体としてのITO膜(半導体活性層8)が実現される。

【0017】そして、半導体活性層8上に、チャネル保護層5として窒化シリコンをプラズマCVD法により2500オングストローム程度着膜し、フォトリソエッチングを用いて所定の形状にパターニングする。

【0018】更に、ソース電極7及びドレイン電極6となるCrを1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターニングすることにより実施例1の薄膜トランジスタが作製される。

【0019】一般にITOなどの酸化物の透明導電膜は、膜中の酸素量を変化させることにより膜の導電率を変化させることができるものである。これは、化学量論的組成からのずれ(酸素欠損)によりキャリアが発生していることによる。

【0020】ITO(Indium Tin Oxide)膜の電気抵抗率のスパッタ時での酸素濃度依存性は、図2に示すような特性をもっているため、Arガスと酸素ガスとを用いた反応性スパッタリングにおいて、酸素ガスの割合($\text{O}_2/\text{Ar}+\text{O}_2$)を1%以上にすれば、ITO膜における電気抵抗率(ρ [$\Omega \cdot \text{cm}$])を増加させることができ、ITO膜の導電性を低下するように制御できるものである。

【0021】また、光が当たっても導電性が変化しないエ

ネルギバンドギャップの大きい半導体を半導体活性層8として用いる必要があるため、半導体活性層の伝導帯と価電子帯とのエネルギーバンドギャップが3eV以上であることが望ましい。従来のa-Siの半導体層ではエネルギーバンドギャップが1.7~1.8eV程度であったが、本実施例で製造されるITO膜の半導体層ではエネルギーバンドギャップが3eV以上とすることができる。

【0022】実施例1の薄膜トランジスタによれば、従来透明電極として用いられていたITO膜の膜中の酸素量を増加させることにより、膜中のキャリア濃度を 10^{18} 個・ cm^{-3} 以下に制御して導電性を低下させ、半導体活性層8にITO膜を使用することで、光に影響されず、素子特性を向上できる効果がある。

【0023】次に、別の実施例(実施例2)として図3の断面説明図に示す透明薄膜トランジスタについて簡単に説明すると、実施例2の透明薄膜トランジスタは、実施例1の薄膜トランジスタと略同様の構成となっており、相違点はソース電極11及びドレイン電極10、更にゲート電極9にITO膜を使用している点である。この場合のITO膜は、一般的な透明導電膜である。

【0024】次に、実施例2の透明薄膜トランジスタの製造方法について図3を使って説明する。尚、実施例2の透明薄膜トランジスタの製造方法は、実施例1の薄膜トランジスタの製造方法と略同様であるので相違点について説明することにする。

【0025】まず、基板1上にITO膜を500オングストローム程度スパッタリングにより着膜し、ゲート電極9となるようフォトリソエッチングを用いてパターニングする。そして、実施例1の場合と同様の方法により、窒化シリコンから成るゲート絶縁層3、導電性の低いITO膜から成る半導体活性層8、窒化シリコンから成るチャネル保護層5を順次積層して所定形状にパターニングする。

【0026】その後、透明電極であるソース電極11及びドレイン電極10として用いられるITO膜を1500オングストローム程度にスパッタリング法により着膜し、フォトリソエッチングを用いて所定の形状にパターニングし、実施例2の透明薄膜トランジスタが作製される。

【0027】実施例2の透明薄膜トランジスタによれば、ソース電極11及びドレイン電極10は透明電極であるため、図3に示す透明薄膜トランジスタを光電変換素子又は発光素子上部に一体的に形成するにすれば、光電変換素子への入射光量を増大させ又は発光素子からの発光量を増大させ、開口率を上げることができる効果がある。

【0028】次に、実施例3として透明薄膜トランジスタを光電変換素子上部に一体的に積層した積層型光電変換装置について図4を使って説明する。図4は、積層型光電変換装置の断面説明図である。

【0029】実施例3の積層型光電変換装置における光電変換素子部分は、ガラス等の透明絶縁性の基板1上に積層されたCr等の共通電極12と、共通電極12上に形成された水素化アモルファスシリコン(a-Si:H)等の光電変換層13と、光電変換層13上部に形成されたITO等の上部透明電極14とが順次積層され、更に、上部透明電極14上部には、ポリイミド等の層間絶縁膜15が全体を覆うよう形成され、ドレイン電極11が接続するためのコンタクトホールが設けられている。

【0030】そして、実施例3の積層型光電変換装置における透明薄膜トランジスタ(TFT)部分は、ITO等の透明電極であるドレイン電極10及びソース電極11が層間絶縁膜15上部に形成されており、ドレイン電極10は上記コンタクトホールを介して上部透明電極14に接続するようになっている。そして、ドレイン電極10及びソース電極11上部にはTFT部分の半導体活性層8となるITO膜が形成され、更にゲート絶縁層3が半導体活性層8を覆い、ゲート絶縁層3上にITO等の透明電極であるゲート電極9が所定の形状で形成されている。尚、実施例3の積層型光電変換装置では、光はTFT部分のゲート電極9側から入射するようになっている。

【0031】次に、実施例3の積層型光電変換装置の製造方法について図4を使って説明する。ガラス基板1上に光電変換素子の共通電極12として、Crを1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターンニングする。次に、光電変換層13として、a-Si:HをプラズマCVDで1.3μm着膜する。そして、上部透明電極14としてITO膜をスパッタリングにより、600オングストローム程度着膜し、上部透明電極14と光電変換層13をパターンニングして光電変換素子部分を作成する。

【0032】そして、ポリイミドを層間絶縁膜15として所定の形状に形成し、フォトリソエッチングによりコンタクトホールを開ける。そして、ITO膜を1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いて所定の形状にパターンニングして透明電極であるドレイン電極10及びソース電極11を作成する。

【0033】更に、半導体活性層8となるITO膜中の酸素濃度を実施例1で説明したように調整し、スパッタリングにより500オングストローム程度着膜する。

【0034】次に、ゲート絶縁層3となる窒化シリコンをプラズマCVD法で2500オングストローム程度着膜する。透明電極であるゲート電極9となるITO膜を

1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターンニングすることで実施例3の積層型光電変換装置が作製される。

【0035】実施例3の積層型光電変換装置によれば、ゲート電極9とソース電極11及びドレイン電極10が従来の金属電極からTFTの透明電極に代えられており、また半導体活性層8も導電性の低いITO膜で作成されているので、光電変換素子上部にTFTが形成されても光電変換素子の受光領域が制限されることがなく、積層型光電変換装置の微細化による開口率の低下を防ぐことができ、入射光を効率よく利用できる効果がある。

【0036】

【発明の効果】請求項1記載の発明によれば、半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3eV以上で、半導体層を透光性膜とした薄膜トランジスタとしているので、光が透過した場合でも導電性が変化しにくくなり、素子特性を向上できる効果がある。

【0037】請求項2記載の発明によれば、半導体層のキャリア濃度が 10^{18} 個・cm⁻³以下で、かつ半導体層を透光性膜としているので、抵抗率が高くなり、光が透過した場合でも導電性が変化しにくい薄膜トランジスタとすることができ、素子特性を向上できる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る薄膜トランジスタの断面説明図である。

【図2】 ITO膜の抵抗率のスパッタ時の酸素濃度依存度を示す図である。

【図3】 別の実施例(実施例2)に係る透明薄膜トランジスタの断面説明図である。

【図4】 別の実施例(実施例3)に係る積層型光電変換装置の断面説明図である。

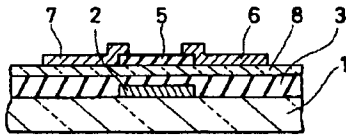
【図5】 従来の薄膜トランジスタの断面説明図である。

【図6】 従来の積層型光電変換装置の平面説明図である。

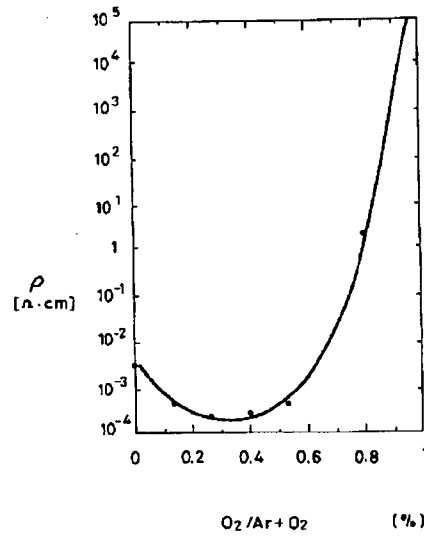
【符号の説明】

1, 20…基板、 2, 21…ゲート電極、 3, 22…ゲート絶縁層、 5, 24…チャネル保護層、 6, 27…ドレイン電極、 7, 26…ソース電極、 8…半導体活性層(ITO)、 9…ゲート電極(ITO)、 10…ドレイン電極(ITO)、 11…ソース電極(ITO)、 12…共通電極、 13…光電変換層、 14…上部透明電極、 15…層間絶縁膜、 23…半導体活性層(a-Si)、 25…オーミックコンタクト層、 28…遮光層、 29…層間絶縁膜、 30…配線層

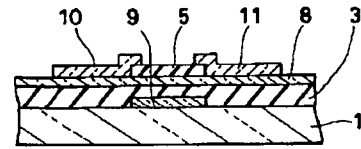
【図1】



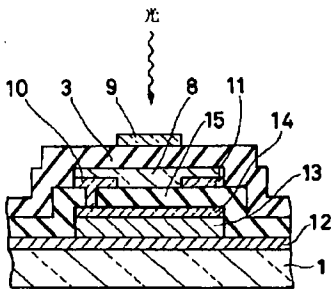
【図2】



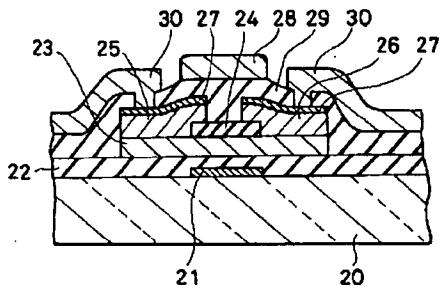
【図3】



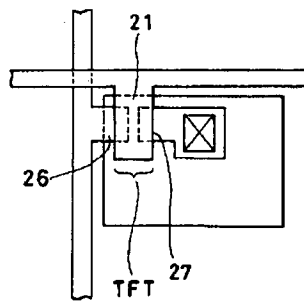
【図4】



【図5】



【図6】



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-251705

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

27/12

27/146

Z

9056-4M

7210-4M

H 0 1 L 29/78

27/14

3 1 1 H

E

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号

特願平4-81483

(22)出願日

平成4年(1992)3月4日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 浜田 勉

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

(72)発明者 伊藤 久夫

神奈川県海老名市本郷2274番地 富士ゼロ

ックス株式会社海老名事業所内

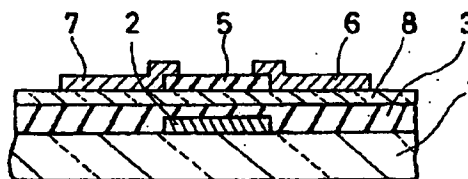
(74)代理人 弁理士 阪本 清孝 (外1名)

(54)【発明の名称】 薄膜トランジスタ

(57)【要約】

【目的】 半導体活性層としてアモルファスシリコンよりもバンドギャップの大きい透明材質からなる半導体を使用することで、入射光に影響されず、また開口率を増大させることができ、微細化が可能である薄膜トランジスタを提供する。

【構成】 ガラス基板1上に形成された逆スタガ型薄膜トランジスタであり、半導体活性層3に導電性の低いITO膜を使用することで、入射光による光電流が発生せず、電荷の読み出しを正確に行うことができる薄膜トランジスタである。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、前記半導体層を透光性膜としたことを特徴とする薄膜トランジスタ。

【請求項2】 ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層のキャリア濃度が 10^{11} 個・ cm^{-3} 以下で、かつ前記半導体層を透光性膜としたことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光電変換素子及び発光素子を駆動する薄膜トランジスタに係り、特に光に影響されず、素子特性を向上できる薄膜トランジスタに関する。

【0002】

【従来の技術】従来の薄膜トランジスタ(TFT)は、ガラス等の基板上にゲート電極、ゲート絶縁層、水素化アモルファスシリコン(a-Si:H)等の半導体層、ソース及びドレイン電極を積層した逆スタガ構造のものがあり、イメージセンサを始め、大面積デバイスの分野においてアクティブマトリクス型の液晶ディスプレイに代表されるフラットパネルディスプレイ等の駆動素子として用いられている。

【0003】次に、従来の逆スタガ型の薄膜トランジスタの構成について図5を使って説明する。図5は、従来の薄膜トランジスタの断面説明図である。図5に示すように、逆スタガ型の薄膜トランジスタ(TFT)は、ガラス等の基板20上にゲート電極21としてのクロム(Cr1)層、ゲート絶縁層22としてのシリコン窒化膜(SiNx)、半導体活性層23としての水素化アモルファスシリコン(a-Si:H)層、ゲート電極21に対向するよう設けられたチャネル保護層24としてのシリコン窒化膜(SiNx)、オーミックコンタクト層25としてのn+型水素化アモルファスシリコン(n+a-Si:H)層、ソース電極26及びドレイン電極27としてのクロム(Cr2)層、その上に層間絶縁層29としてのポリイミド層、更に、その上に配線層30又はチャネル保護層24の上部においてはa-Si:H層の透光用としてのアルミニウム(Al)の遮光層28とを順次積層した構造となっている(特開昭63-9358号公報参照)。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の薄膜トランジスタにおいては、半導体活性層にアモルファスシリコンを用いていることから、半導体活性層に光が当たると導電性を持ってスイッチング素子の特性が劣化するという問題点があった。

【0005】そのために、半導体活性層に光が当たらないように遮光層を設ける方法があり、例えば、遮光層としては金属薄膜が用いられていた。しかしながら、遮光層を設けると工程が増えるだけでなく浮遊電位を持つこととなるので、遮光層をグラウンドレベルにする必要があり、その場合にも、寄生容量が発生するという問題点があった。

【0006】また、薄膜トランジスタを光電変換素子又は発光素子との積層構造にする場合には、図6の光電変換素子の上に薄膜トランジスタを積層した積層型光電変換装置の平面説明図に示すように、従来の積層型のものであれば、ソース電極26及びドレイン電極27が金属電極であり、単位画素内でTFTが占める割合が増大し、当然ながら開口率(単位画素内における光電変換素子の受光エリアが占める割合)の低下を招き、感度が低下するという問題点もあった。

【0007】本発明は上記実情に鑑みて為されたもので、半導体層としてアモルファスシリコンよりバンドギャップの大きい透明材質の半導体を使うことで光に影響されず、更に開口率を増大させることができる薄膜トランジスタを提供することを目的とする。

【0008】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、前記半導体層を透光性膜としたことを特徴としている。

【0009】上記従来例の問題点を解決するための請求項2記載の発明は、ゲート電極とゲート絶縁膜とソース電極とドレイン電極と半導体層とを有する薄膜トランジスタにおいて、前記半導体層のキャリア濃度が 10^{11} 個・ cm^{-3} 以下で、かつ前記半導体層を透光性膜としたことを特徴としている。

【0010】

【作用】請求項1記載の発明によれば、半導体層の伝導帯と価電子帯とのエネルギーバンドギャップが3 eV以上で、半導体層を透光性膜とした薄膜トランジスタとして、光が透過した場合でも導電性が変化しにくくなる。

【0011】請求項2記載の発明によれば、半導体層のキャリア濃度が 10^{11} 個・ cm^{-3} 以下で、かつ半導体層を透光性膜としているので、抵抗率が高くなり、光が透過した場合でも導電性が変化しにくい薄膜トランジスタとすることができる。

【0012】

【実施例】本発明の一実施例について図面を参照しながら説明する。図1は、本発明の一実施例に係る薄膜トランジスタの断面説明図である。尚、本実施例(実施例

1)では、例として逆スタガ型の薄膜トランジスタについて説明する。

〔0013〕図1に示すように、実施例1の薄膜トランジスタは、ガラス等の透明絶縁性の基板1と、基板1上に形成されたCr等のゲート電極2と、ゲート電極2を覆うように形成された窒化シリコン(SiNx)等のゲート絶縁層3と、ゲート絶縁層3上に酸素濃度を調整して形成された酸化インジウム・スズ(ITO)等の半導体活性層8とが積層され、更に半導体活性層8上には窒化シリコン等のチャネル保護層5が形成され、Cr等のソース電極7及びドレイン電極8とがチャネル保護層5の一部を覆うように形成される構成となっている。

〔0014〕次に、実施例1の薄膜トランジスタの製造方法について図1を使って説明する。まず、基板1上にゲート電極2となるCrを500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いて所定の形状にパターニングする。

〔0015〕次に、ゲート絶縁層3として窒化シリコンをプラズマCVD法で2500オングストローム程度着膜する。そして、膜中の酸素濃度を調整し、半導体活性層8となるITO膜をスパッタリングにより500オングストローム程度着膜する。

〔0016〕具体的には、着膜時の酸素ガス濃度を1%以上にしてスパッタリングを行うことで実現することができる。このとき、ITO膜のキャリア濃度が 10^{17} 個/cm³以下となれば、結晶が解け半導体としてのITO膜(半導体活性層8)が実現される。

〔0017〕そして、半導体活性層8上に、チャネル保護層5として窒化シリコンをプラズマCVD法により2500オングストローム程度着膜し、フォトリソエッチングを用いて所定の形状にパターニングする。

〔0018〕更に、ソース電極7及びドレイン電極8となるCrを1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターニングすることにより実施例1の薄膜トランジスタが作製される。

〔0019〕一般にITOなどの酸化物の透明導電膜は、膜中の酸素量を変化させることにより膜の導電率を変化させることができるものである。これは、化学量論的組成からのずれ(酸素欠損)によりキャリアが発生していることによる。

〔0020〕ITO(Indium Tin Oxide)膜の電気抵抗率のスパッタ時での酸素濃度依存性は、図2に示すような特性をもっている。Arガスと酸素ガスを用いた反応性スパッタリングにおいて、酸素ガスの割合(O₂/Ar+O₂)を1%以上にすれば、ITO膜における電気抵抗率(ρ [$\Omega \cdot \text{cm}$])を増加させることができ、ITO膜の導電性を低下するように制御できるものである。

〔0021〕また、光が当たっても導電性が変化しないエ

ネルギバンドギャップの大きい半導体を半導体活性層8として用いる必要がある。半導体活性層の伝導帯と価電子帯とのエネルギーバンドギャップが3eV以上であることが望ましい。従来のa-Siの半導体層ではエネルギーバンドギャップが1.7~1.8eV程度であったが、本実施例で製造されるITO膜の半導体層ではエネルギーバンドギャップが3eV以上とすることができる。

〔0022〕実施例1の薄膜トランジスタによれば、従来透明電極として用いられていたITO膜の膜中の酸素量を増加させることにより、膜中のキャリア濃度を 10^{17} 個/cm³以下に制御して導電性を低下させ、半導体活性層8にITO膜を使用することで、光に影響されず、素子特性を向上させる効果がある。

〔0023〕次に、別の実施例(実施例2)として図3の断面説明図に示す透明薄膜トランジスタについて簡単に説明すると、実施例2の透明薄膜トランジスタは、実施例1の薄膜トランジスタと略同様の構成となっており、相違点はソース電極11及びドレイン電極10、更にゲート電極9にITO膜を使用している点である。この場合のITO膜は、一般的な透明導電膜である。

〔0024〕次に、実施例2の透明薄膜トランジスタの製造方法について図3を使って説明する。尚、実施例2の透明薄膜トランジスタの製造方法は、実施例1の薄膜トランジスタの製造方法と略同様であるので相違点について説明することにする。

〔0025〕まず、基板1上にITO膜を500オングストローム程度スパッタリングにより着膜し、ゲート電極9となるようフォトリソエッチングを用いてパターニングする。そして、実施例1の場合と同様の方法により、窒化シリコンから成るゲート絶縁層3、導電性の低いITO膜から成る半導体活性層8、窒化シリコンから成るチャネル保護層5を順次積層して所定形状にパターニングする。

〔0026〕その後、透明電極であるソース電極11及びドレイン電極10として用いられるITO膜を1500オングストローム程度にスパッタリング法により着膜し、フォトリソエッチングを用いて所定の形状にパターニングし、実施例2の透明薄膜トランジスタが作製される。

〔0027〕実施例2の透明薄膜トランジスタによれば、ソース電極11及びドレイン電極10は透明電極であるので、図3に示す透明薄膜トランジスタを光電変換素子又は発光素子上部に一体的に形成するようにすれば、光電変換素子への入射光量を増大させ又は発光素子からの発光量を増大させ、開口率を上げることができる効果がある。

〔0028〕次に、実施例3として透明薄膜トランジスタを光電変換素子上部に一体的に積層した積層型光電変換装置について図4を使って説明する。図4は、積層型光電変換装置の断面説明図である。

【0029】実施例3の積層型光電変換装置における光電変換素子部分は、ガラス等の透明絶縁性の基板1上に積層されたCr等の共通電極12と、共通電極12上に形成された水素化アモルファスシリコン(a-Si:H)等の光電変換層13と、光電変換層13上部に形成されたITO等の上部透明電極14とが順次積層され、更に、上部透明電極14上部には、ポリイミド等の層間絶縁膜15が全体を覆うよう形成され、ドレイン電極11が接続するためのコンタクトホールが設けられている。

【0030】そして、実施例3の積層型光電変換装置における透明薄膜トランジスタ(TFT)部分は、ITO等の透明電極であるドレイン電極10及びソース電極11が層間絶縁膜15上部に形成されており、ドレイン電極10は上記コンタクトホールを介して上部透明電極14に接続するようになっている。そして、ドレイン電極10及びソース電極11上部にはTFT部分の半導体活性層8となるITO膜が形成され、更にゲート絶縁層3が半導体活性層8を覆い、ゲート絶縁層3上にITO等の透明電極であるゲート電極9が所定の形状で形成されている。尚、実施例3の積層型光電変換装置では、光はTFT部分のゲート電極9側から入射するようになっている。

【0031】次に、実施例3の積層型光電変換装置の製造方法について図4を使って説明する。ガラス基板1上に光電変換素子の共通電極12として、Crを1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターンニングする。次に、光電変換層13として、a-Si:HをプラズマCVDで1.3μm着膜する。そして、上部透明電極14としてITO膜をスパッタリングにより、800オングストローム程度着膜し、上部透明電極14と光電変換層13をパターンニングして光電変換素子部分を作成する。

【0032】そして、ポリイミドを層間絶縁膜15として所定の形状に形成し、フォトリソエッチングによりコンタクトホールを開ける。そして、ITO膜を1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いて所定の形状にパターンニングして透明電極であるドレイン電極10及びソース電極11を作成する。

【0033】更に、半導体活性層8となるITO膜中の酸素濃度を実施例1で説明したように調整し、スパッタリングにより500オングストローム程度着膜する。

【0034】次に、ゲート絶縁層3となる窒化シリコンをプラズマCVD法で2500オングストローム程度着膜する。透明電極であるゲート電極9となるITO膜を

1500オングストローム程度スパッタリングにより着膜し、フォトリソエッチングを用いてパターンニングすることで実施例3の積層型光電変換装置が作製される。

【0035】実施例3の積層型光電変換装置によれば、ゲート電極9とソース電極11及びドレイン電極10が従来の金属電極からTFTの透明電極に代えられており、また半導体活性層8も導電性の低いITO膜で作成されているので、光電変換素子上部にTFTが形成されても光電変換素子の受光領域が制限されることがなく、積層型光電変換装置の微細化による開口率の低下を防ぐことができ、入射光を効率よく利用できる効果がある。

【0036】

【発明の効果】請求項1記載の発明によれば、半導体層の伝導帯と価電子帯とのエネルギーギャップが3eV以上で、半導体層を透光性膜とした薄膜トランジスタとしているので、光が透過した場合でも導電性が変化しにくくなり、素子特性を向上できる効果がある。

【0037】請求項2記載の発明によれば、半導体層のキャリア濃度が 10^{18} 個/cm³以下で、かつ半導体層を透光性膜としているので、抵抗率が高くなり、光が透過した場合でも導電性が変化しにくい薄膜トランジスタとすることができ、素子特性を向上できる効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る薄膜トランジスタの断面説明図である。

【図2】 ITO膜の抵抗率のスパッタ時の酸素濃度依存度を示す図である。

【図3】 別の実施例(実施例2)に係る透明薄膜トランジスタの断面説明図である。

【図4】 別の実施例(実施例3)に係る積層型光電変換装置の断面説明図である。

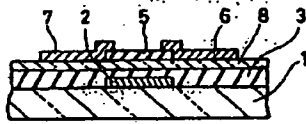
【図5】 従来の薄膜トランジスタの断面説明図である。

【図6】 従来の積層型光電変換装置の平面説明図である。

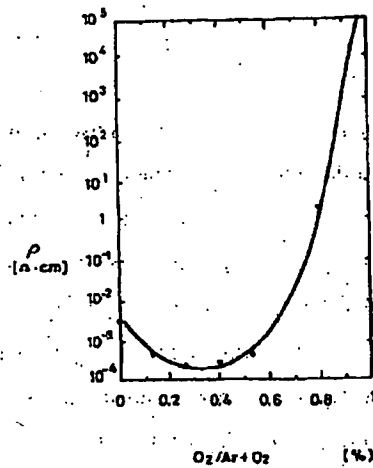
【符号の説明】

1、20…基板、2、21…ゲート電極、3、22…ゲート絶縁層、5、24…チャネル保護層、6、27…ドレイン電極、7、26…ソース電極、8…半導体活性層(ITO)、9…ゲート電極(ITO)、10…ドレイン電極(ITO)、11…ソース電極(ITO)、12…共通電極、13…光電変換層、14…上部透明電極、15…層間絶縁膜、23…半導体活性層(a-Si)、25…オーミックコンタクト層、28…遮光層、29…層間絶縁層、30…配線層

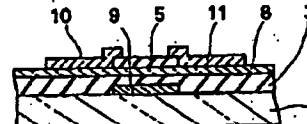
【図1】



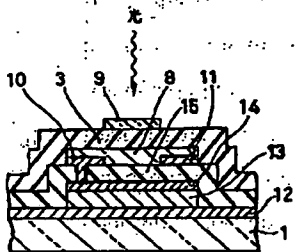
【図2】



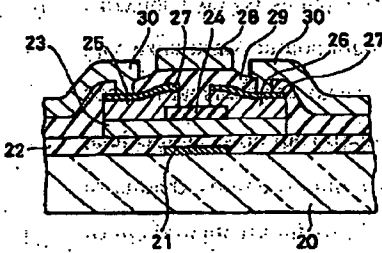
【図3】



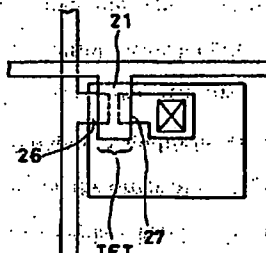
【図4】



【図5】



【図6】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251705

(43)Date of publication of application : 28.09.1993

(51)Int.CI. H01L 29/784

H01L 27/12

H01L 27/146

(21)Application number : 04-081483 (71)Applicant : FUJI

XEROX

CO LTD

(22)Date of filing : 04.03.1992 (72)Inventor : HAMADA

TSUTOMU

ITO

HISAO

(54) THIN-FILM TRANSISTOR



(57)Abstract:

PURPOSE: To obtain a thin-film transistor, of which numerical aperture can be increased without being influenced by light, by forming a semiconductor layer with specific carrier concentration into a translucent film.

CONSTITUTION: A Cr film to be a gate electrode 2 is attached to and patterned on a substrate 1 by sputtering, a silicon nitride film as a gate insulating layer 3 is attached by a plasma CVD method, an oxygen content in the film is adjusted, and ITO film to be a semiconductor active layer 8 is attached by sputtering. Then, the silicon nitride film as a channel protective layer 5 is attached to and patterned on the semiconductor active layer 8 by the plasma CVD method, and the Cr film to be a source electrode 7 and drain electrode 6 is attached by sputtering and patterned by photolithographic. Therefore, the oxygen content in the ITO film is increased, a carrier concentration is controlled to $10^{18}/\text{cm}^3$ and less to lower electrical conductivity and the ITO film is used as the semiconductor active layer 8 so that element characteristics can be improved without influence of light.

[Claims]

[Claim 1] A thin film transistor comprising a gate electrode, gate insulator, a source electrode, a drain electrode, and a semi-conductor layer, characterized in that an energy band gap between a conduction band and a valence band of said semi-conductor layer is 3 eV or more and said semi-conductor layer is used as the translucent film.

[Claim 2] A thin film transistor comprising a gate electrode, gate insulator, a source electrode, a drain electrode, and a semi-conductor layer, characterized in that carrier concentration of said semi-conductor layer is not more than 10^{18} number/cm³ and said semi-conductor layer is used as the translucent film.

[Detailed Description of the Invention]

[0001]

[Industrial Application] The present invention relates to the thin film transistor which drives a photoelectric transducer and a light emitting element, particularly relates to the thin film transistor which can improve an elemental property without being influenced by light.

[0002]

[Prior Art] The conventional thin film transistor (TFT)

has the reverse stagger structure which carried out the laminating of a gate electrode, a gate insulator, semi-conductor layers such as a hydrogenation amorphous silicon (a-Si:H), and the source and drain electrodes on substrates such as glass. The TFT is used as driving elements such as a flat-panel display represented by the active matrix type liquid crystal display in the field of a large area device including an image sensor.

[0003] Next, the configuration of the thin film transistor of the conventional reverse stagger type is explained using Figure 5. Figure 5 is the cross-section explanatory view of the conventional thin film transistor. As shown in Figure 5, the thin film transistor (TFT) of a reverse stagger type has a structure which laminates in this order that on the substrate 20 such as a glass, the chromium (Cr1) layer as a gate electrode 21, the silicon nitride film (SiNx) as a gate insulator 22, the hydrogenation amorphous silicon (a-Si:H) layer as a semi-conductor active layer 23, the silicon nitride film (SiNx) as a channel protective layer 24 provided so that the gate electrode 21 might be countered, n+ type hydrogenation amorphous silicon (n+a-Si:H) layer as an ohmic contact layer 25, Chromium (Cr2) layer as the source electrode 26 and a drain electrode 27, a polyimide layer as a layer insulation layer 29 on it, and the protection-from-light layer 28 of the aluminum (Al) as an object for protection from light of an a-Si:H layer

one by one in the upper part of a wiring layer 30 or the channel protective layer 24 on it further (refer to Japanese Patent Application Laid-Open No. S63-9358).

[0004]

[Problem to be Solved by the Invention] However, in the above-mentioned conventional thin film transistor, since the amorphous silicon was used for the semi-conductor active layer, when light hit the semi-conductor active layer, there was a trouble that the property of a switching element deteriorated with conductivity.

[0005] Therefore, there is a method of preparing a protection-from-light layer so that light may not hit a semi-conductor active layer, for example, the metal thin film was used as a protection-from-light layer. However, since a process not only increases, but it would have floating potential when the protection-from-light layer was prepared, the protection-from-light layer needed to be made into the grand level, and there was a trouble that parasitic capacitance occurred, also in such a case.

[0006] Moreover, there is a problem that in making a thin film transistor into a laminated structure with an photoelectric transducer or a light emitting element, as shown in the plain explanatory view of the laminating type photoelectric-conversion equipment which carried out the laminating of the thin film transistor on the photoelectric transducer of Figure 6, if it is the thing of the

conventional laminating type, the source electrode 26 and the drain electrode 27 are metal electrodes and the rate that TFT occupies within a unit pixel increased, and though it was natural, decline in a numerical aperture (rate that the light-receiving area of the photoelectric transducer in a unit pixel occupies) was caused, and there was also a trouble that sensibility fell.

[0007] In view of the above-mentioned actual condition, the present invention is to provide the thin film transistor which can increase a numerical aperture further without influencing by light by using the semi-conductor of the transparence quality of the material with a larger band gap than an amorphous silicon as a semi-conductor layer.

[0008]

[Means for Solving the Problem] The invention according to claim 1 to solve the conventional problems is a thin film transistor comprising a gate electrode, gate insulator, a source electrode, a drain electrode, and a semi-conductor layer, characterized in that an energy band gap between a conduction band and a valence band of said semi-conductor layer is 3 eV or more and said semi-conductor layer is used as the translucent film.

[0009] The invention according to claim 2 to solve the conventional problems is a thin film transistor comprising a gate electrode, gate insulator, a source electrode, a drain electrode, and a semi-conductor layer, characterized

in that carrier concentration of said semi-conductor layer is not more than 10^{18} number/cm³ and said semi-conductor layer is used as the translucent film.

[0010]

[Effect] According to the invention set forth in claim 1, since the energy band gap of the conduction band and a valence band of the semi-conductor layer is 3 eV or more and the thin film transistor uses the translucency film as the semi-conductor layer, even when light penetrates, conductivity is able to change with difficulty.

[0011] According to the invention set forth in claim 2, the carrier concentration of a semi-conductor layer is not more than 10^{18} number/cm³ and the semi-conductor layer is used as the translucency film, resistivity becomes high and even when light penetrates, it can consider as the thin film transistor from which conductivity can change with difficulty.

[0012]

[Example] It explains referring to a drawing about one example of this invention. Figure 1 is the cross-section explanatory view of the thin film transistor according to one embodiment of the present invention. In addition, this example (Example 1) explains the thin film transistor of a reverse stagger type as an example.

[0013] As shown in Figure 1, the thin film transistor of Example 1 has the structure that the substrate 1 of

transparence insulation of glass etc., the gate electrodes 2 such as Cr formed on the substrate 1, the gate insulator 3 such as silicon nitride (SiN_x) formed so that the gate electrode 2 might be covered, the semi-conductor activate layers 8 such as indium oxide/tin (ITO) formed by controlling oxygen concentration on the gate insulator 3 are laminated, and on the semi-conductor active layer 8, the channel protective layers 5 such as silicon nitride are formed and the source electrode 7 and the drain electrodes 6 such as Cr prepared so that they cover a part of channel protective layer 5.

[0014] Next, the manufacture approach of the thin film transistor of Example 1 is explained using Figure 1. First, film deposition of about 500Å of the Cr(s) used as the gate electrode 2 is carried out by sputtering on a substrate 1, and patterning is carried out to a predetermined configuration using photolitho etching.

[0015] Next, film deposition of about 2500Å of the silicon nitride is carried out by the plasma-CVD method as a gate insulator 3. And the oxygen concentration in the film is adjusted and film deposition of about 500Å of the ITO film used as the semi-conductor active layer 8 is carried out by sputtering.

[0016] It is realizable by making oxygen gas concentration at the time of film deposition 1% or more, and specifically performing sputtering. If the carrier concentration of the

ITO film becomes not more than 10^{18} number/cm³ at this time, degeneration will be cleared and the ITO film (semi-conductor active layer 8) as a semi-conductor will be realized.

[0017] And on the semi-conductor active layer 8, film deposition of about 2500Å of the silicon nitride is carried out by the plasma-CVD method as a channel protective layer 5, and patterning is carried out to a predetermined configuration using photolitho etching.

[0018] Furthermore, the thin film transistor of Example 1 is produced by carrying out film deposition of about 1500Å of the Cr(s) used as the source electrode 7 and the drain electrode 6 by sputtering, and carrying out patterning using photolitho etching.

[0019] Generally the transparence electric conduction film of oxides such as ITO can change membranous conductivity by changing the amount of oxygen in the film. This is because the carrier is generated by the gap (oxygen deficiency) from stoichiometric composition.

[0020] The oxygen concentration dependency in the time of the spatter of the electrical resistivity of the ITO (Indium Tin Oxide) film has the property as shown in Figure 2, and therefore in reactive sputtering using Ar gas and oxygen gas, since it is, if it is made comparatively ($O_2 / Ar + O_2$) to 1% or more, the electrical resistivity (ρ [Ω -cm]) in the ITO film can be made to increase, and it can control to fall

the conductivity of the ITO film.

[0021] Moreover, since it is necessary to use the large semi-conductor of an energy band gap from which conductivity does not change as a semi-conductor active layer 8 even if light hits, it is desirable for the energy band gap of the conduction band of a semi-conductor active layer and a valence band to be 3 eV or more. Although the energy band gap was about 1.7-1.8eV in the semi-conductor layer of conventional a-Si, an energy band gap is 3eV or more in the semi-conductor layer of the ITO film manufactured by this example.

[0022] According to the thin film transistor of Example 1, by make the amount of oxygen in the film of the ITO film conventionally used as a transparent electrode increase, the carrier concentration in a film be control not more than 10^{18} number/cm³ and conductivity be reduced, there be effectiveness which can improve an element property without influencing by light by using an ITO film for the semi-conductor active layer 8.

[0023] Next, when the transparence thin film transistor shown in the cross-section explanatory view of Figure 3 as another example (Example 2) is explained briefly, the transparence thin film transistor of Example 2 has the constitution similar to the thin film transistor of Example 1, and differences are the source electrode 11 and the drain electrode 10, and a point that is using the ITO film for

the gate electrode 9 further. The ITO film in this case is common transparence electric conduction film.

[0024] Next, the manufacture approach of the transparence thin film transistor of Example 2 is explained using Figure 3. In addition, since the manufacture approach of the transparence thin film transistor of Example 2 is similar to the manufacture approach of the thin film transistor of Example 1, and it is made to explain differences.

[0025] First, film deposition of about 500A of the ITO film is carried out by sputtering on a substrate 1, and patterning is carried out using photolitho etching so that it may become the gate electrode 9. And by the same approach as the case of Example 1, the laminating of the gate insulator 3 consisting of silicon nitride, the semi-conductor active layer 8 consisting of the low conductive ITO film, and the channel protective layer 5 consisting of silicon nitride is carried out one by one, and patterning is carried out to a predetermined configuration.

[0026] Then, film deposition of the ITO film used as the source electrode 11 which is a transparent electrode, and a drain electrode 10 is carried out to about 1500A by the sputtering method, patterning is carried out to a predetermined configuration using photolitho etching, and the transparence thin film transistor of Example 2 is produced.

[0027] Since the source electrode 11 and the drain

electrode 10 are transparent electrodes according to the transparence thin film transistor of Example 2, if the transparence thin film transistor shown in Figure 3 is formed in an photoelectric transducer or the light emitting element upper part in an integrated manner, the amount of incident light to an photoelectric transducer is increased, or the amount of luminescence from a light emitting element is increased, and there is effectiveness which can increase a numerical aperture.

[0028] Next, a transparence thin film transistor is explained to the photoelectric-transducer upper part using Figure 4 about the laminating mold photo-electric-conversion equipment which carried out the laminating in an integrated manner as Example 3. Figure 4 is the cross-section explanatory view of laminating mold photo-electric-conversion equipment.

[0029] The photoelectric-transducer part in the laminating type photo-electric-conversion equipment of Example 3 has the structure that the common electrodes 12 such as Cr laminated on the substrate 1 of transparence insulation of glass etc., the photo-electric-conversion layers 13 such as a hydrogenation amorphous silicon (a-Si:H) formed on the common electrode 12, the upper transparent electrodes 14 such as ITO formed in the photo-electric-conversion layer 13 upper part are laminated one by one, further, in the upper transparent

electrode 14 upper part, the interlayer insulation films 15 such as polyimide is formed in covering the whole, and the contact hole for the drain electrode 11 to connect is provided.

[0030] In the transparence thin film transistor (TFT) parts in the laminating type photo-electric-conversion equipment of Example 3, the drain electrode 10 and the source electrode 11 whose are transparent electrodes such as ITO are formed in the interlayer insulation film 15 upper part so that the drain electrode 10 is connected to the upper transparent electrode 14 through the above-mentioned contact hole. And the ITO film used as the semi-conductor active layer 8 of a TFT part is formed in the drain electrode 10 and source electrode 11 upper part, the gate insulating layer 3 covers the semi-conductor active layer 8, and the gate electrode 9 which are transparent electrodes such as ITO is formed in the predetermined configuration on the gate insulator 3. In addition, in the laminating type photo-electric-conversion equipment of Example 3, incidence of the light is carried out from the gate electrode 9 side of a TFT part.

[0031] Next, the manufacture approach of the laminating type photo-electric-conversion equipment of Example 3 is explained using Figure 4. On a glass substrate 1, as a common electrode 12 of a photoelectric transducer, film deposition of about 1500Å of the Cr(s) is carried out by

sputtering, and patterning is carried out using photolitho etching. Next, 1.3 μm film deposition of a-Si:H is carried out by plasma CVD as a photo-electric-conversion layer 13. And film deposition of about 600A of the ITO film is carried out by sputtering as an upper transparent electrode 14, patterning of the photo-electric-conversion layer 13 with the upper transparent electrode 14 to create a photoelectric-transducer part.

[0032] And polyimide having a predetermined configuration is formed as an interlayer insulation film 15, and a contact hole is opened by photolitho etching. And film deposition of about 1500A of the ITO film is carried out by sputtering, patterning is carried out to a predetermined configuration using photolitho etching, and the drain electrode 10 and the source electrode 11 which are a transparent electrode are created.

[0033] Further, the oxygen concentration in the ITO film to be the semi-conductor active layer 8 is adjusted in the manner mentioned in Example 1, and film deposition of the about 500A is carried out by sputtering.

[0034] Next, film deposition of about 2500A of the silicon nitride to be the gate insulator 3 is carried out by the plasma-CVD method. The laminating type photo-electric-conversion equipment of Example 3 is produced by carrying out film deposition of about 1500A of the ITO film to be the gate electrode 9 which is a transparent

electrode by sputtering, and carrying out patterning using photolitho etching.

[0035] Since according to the laminating type photo-electric-conversion equipment of Example 3 the gate electrode 9, the source electrode 11, and the drain electrode 10 are replaced with the transparent electrode of TFT from the conventional metal electrode and the semi-conductor active layer 8 is also created by the low conductive ITO film, even if TFT is formed in the photoelectric-transducer upper part, the light-receiving field of a photoelectric transducer is not restricted and decrease in the aperture ratio by miniaturization of laminating type photo-electric-conversion equipment can be prevented, and it is effective in the ability to use incident light efficiently.

[0036]

[Effect of the Invention] According to the invention set forth in claim 1, the energy band gap of the conduction band and the valence band of a semi-conductor layer is 3 eV or more and the thin film transistor uses the semi-conductor layer as the translucency film, and therefore even when light penetrates conductivity change with difficulty and an element property can be improved.

[0037] According to invention set forth in claim 2, the carrier concentration of a semi-conductor layer is not more than 10^{16} number/cm³ and the semi-conductor layer is used

as the translucency film, and therefore resistivity becomes higher, and even when light penetrates, it can consider as the thin film transistor from which conductivity cannot change easily, and an element property can be improved.

[Brief Description of the Drawings]

[Figure 1] It is the cross-section explanatory view of the thin film transistor according to one embodiment of this invention.

[Figure 2] It is drawing showing the oxygen concentration dependence at the time of the spatter of the resistivity of the ITO film.

[Figure 3] It is the cross-section explanatory view of the transparency thin film transistor according to another embodiment (Example 2).

[Figure 4] It is the cross-section explanatory view of the laminating type photo-electric-conversion equipment according to another embodiment (Example 3).

[Figure 5] It is the cross-section explanatory view of the conventional thin film transistor.

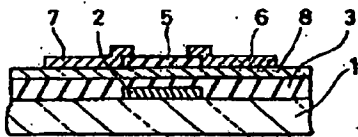
[Figure 6] It is the plain explanatory view of conventional laminating type photo-electric-conversion equipment.

[Description of Notations]

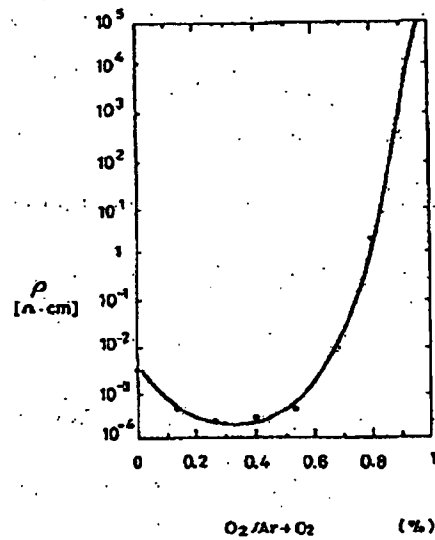
1, 20 - Substrate, 2, 21 -- Gate electrode, 3, 22 -- Gate insulator, 5, 24 -- Channel protective layer, 6, 27 -- Drain electrode, 7, 26 -- Source electrode, 8 --

Semi-conductor active layer (ITO), 9 -- Gate electrode (ITO), 10 -- Drain electrode (ITO), 11 -- Source electrode (ITO), 12 -- Common electrode, 13 -- Photo-electric-conversion layer, 14 -- Upper transparent electrode, 15 -- Interlayer insulation film, 23 -- Semi-conductor active layer (a-Si), 25 -- Ohmic contact layer, 28 -- Protection-from-light layer, 29 -- Interlayer insulation layer, 30 -- Wiring layer

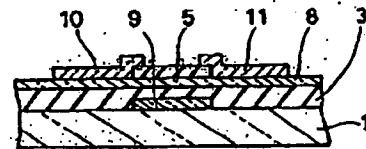
[FIG.1]



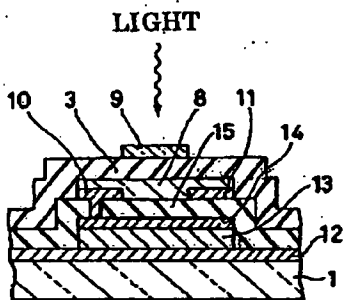
[FIG.2]



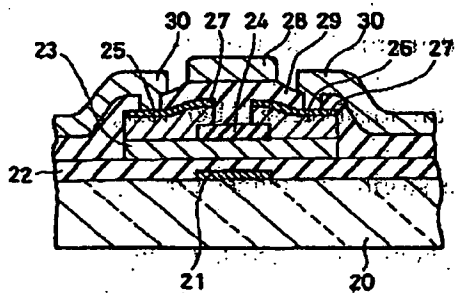
[FIG.3]



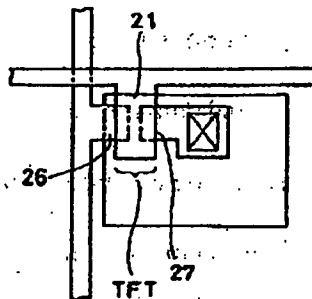
[FIG.4]



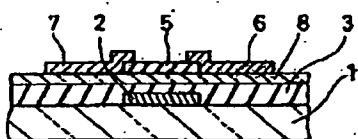
[FIG.5]



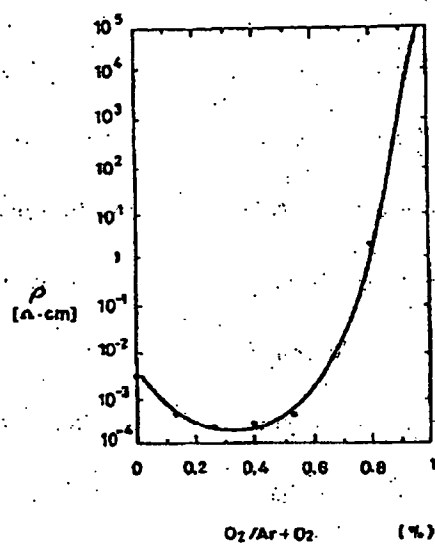
[FIG.6]



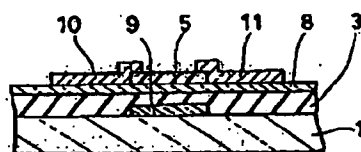
[FIG.1]



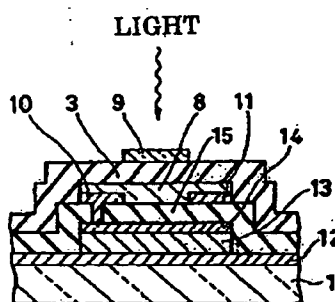
[FIG.2]



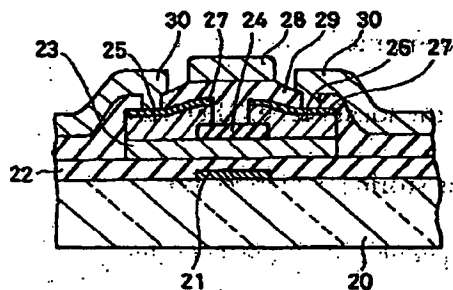
[FIG.3]



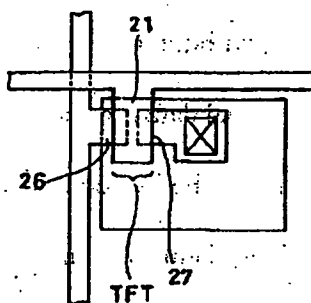
[FIG.4]



[FIG.5]



[FIG.6]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.